

PATENT ABSTRACTS OF JAPAN

their priority document

(11)Publication number : 2002-303876

(43)Date of publication of application : 18.10.2002

(51)Int.Cl.

G02F 1/1343
G02F 1/1362
G09F 9/30
G09F 9/35

(21)Application number : 2002-005652

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 15.01.2002

(72)Inventor : OKADA TAKASHI
TANAKA YUKIO
KIMURA MASANORI
KUMAKAWA KATSUHIKO

(30)Priority

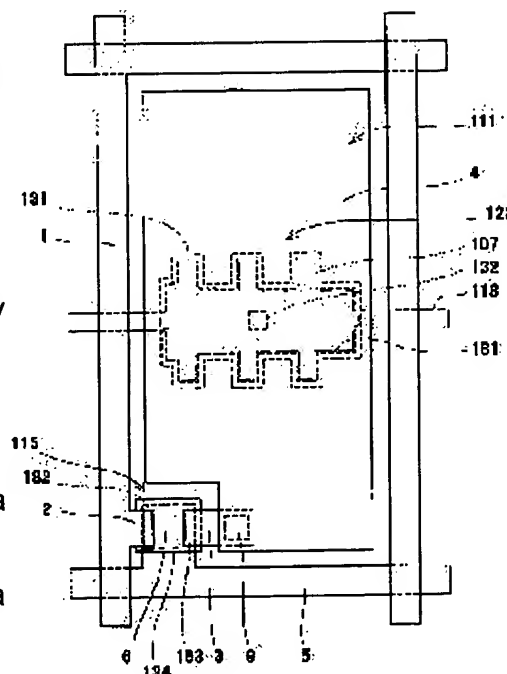
Priority number : 2001022964 Priority date : 31.01.2001 Priority country : JP

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix liquid crystal element or the like capable of reducing flickers.

SOLUTION: This active matrix liquid crystal display element is provided with a plurality of source lines 1, a plurality of gate lines 5 arranged so as to cross a plurality of the source lines in the top view, a plurality of pixels 111 divided by a plurality of the source lines 1 and a plurality of the gate lines 5 and constituting a picture screen, a pixel electrode 4 arranged for each pixel 111, a counter electrode facing the pixel electrodes 4 across a liquid crystal layer, storage capacitance 122 for holding a voltage applied across the pixel electrode 4 and the



counter electrode, and a pixel transistor 115 of which the source electrode 2, the drain electrode 3, and the gate electrode 6 are connected with the source line 1, the pixel electrode 4, and the gate line 5, respectively, and which is turned on-off a gate signal, the circumference 181 of the storage capacitance 122 is expressed as L_{st} , and the circumferences 182, 183 of the capacitance between the gate electrode and the pixel electrode of the pixel transistor 115 are expressed as L_{gd} , an index B defined as $B=L_{st}/L_{gd}$ is 7 or larger.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

#5
6/27/02
arr

JC997 U.S. PTO
10/058837
01/30/02

Docket No.: 61352-016

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Takashi OKADA, et al. :
Serial No.: : Group Art Unit:
Filed: January 30, 2002 : Examiner:
For: ACTIVE MATRIX LIQUID CRYSTAL DISPLAY ELEMENT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

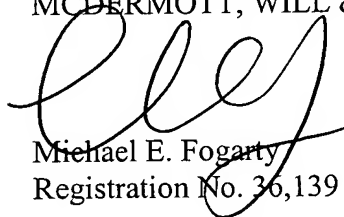
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-022964, filed January 31, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: January 30, 2002
Facsimile: (202) 756-8087

61352-016
OKada et al.
January 30, 2002

日 本 国 特 許 庁 *McDermott, Will & Emery*
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 1月31日

出 願 番 号
Application Number:

特願2001-022964

出 願 人
Applicant(s):

松下電器産業株式会社



2001年12月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3106439

【書類名】 特許願

【整理番号】 2036420723

【提出日】 平成13年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

G02F 1/133

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岡田 隆史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田中 幸生

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 木村 雅典

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 熊川 克彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 アクティブマトリクス液晶表示素子

【特許請求の範囲】

【請求項1】 画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に設けられ、走査信号を伝達する複数のゲートラインと、ソースラインとゲートラインとの各交差部に対応して設けられた画素電極と、各画素電極に接続されるとともに、ソースライン、及びゲートラインにそれぞれゲート電極、及びソース電極を介して接続された画素トランジスタと、画素電極に対向して設けられた対向電極と、液晶に印加される電圧を保持するための蓄積容量を具備するアクティブマトリクス表示素子において、前記画素電極と前記対向電極とで挟持された前記液晶が一画素内に保有する容量の値を C_{lc} 、前記一画素ごとに設けられた蓄積容量の値を C_{st} 、前記画素トランジスタが非導通状態での前記ゲート電極－前記画素電極間容量の値を C_{of} 、前記画素トランジスタが導通状態での前記ゲート電極－前記画素電極間容量の値を C_{on} とし、ゲートパルスがオン状態での電圧値を V_{gh} 、同じくゲートパルスがオフ状態での電圧値を V_{gl} 、前記画素トランジスタの閾値電圧値を V_t 、ソース信号パルスのセンター電圧値を V_{sc} 、 $\alpha = V_{gh} - (V_{sc} + V_t)$ 、 $\beta = (V_{sc} + V_t) - V_{gl}$ 、 $\tau = \beta / \alpha$ とおくとき、

$$D = [(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})] \times (L_{st} / L_{of})$$

で定義される D の値が、 $0.7 < D < 1.4$ で規定される範囲内に存在するように構成されることを特徴とするアクティブマトリクス液晶表示素子。

【請求項2】 画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に設けられ、走査信号を伝達する複数のゲートラインと、ソースラインとゲートラインとの各交差部に対応して設けられた画素電極と、各画素電極に接続されるとともに、ソースライン、及びゲートラインにそれぞれゲート電極、及びソース電極を介して接続された画素トランジスタと、画素電極に対向して設けられた対向電極と、液晶に印加される電圧を保持するための蓄積容量を具備するアクティブマトリクス液晶表示素子において、かつ前記アクティブマトリクス液晶表示素子が反射型アクティブマトリクス液晶表示素子であり、前記画素電極と前記対向電極とで挟持された前記液晶が一画素内に保有する容量の値を C_{lc}

、前記一画素ごとに設けられた蓄積容量の値を C_{st} 、前記画素トランジスタが非導通状態での前記ゲート電極－前記画素電極間容量の値を C_{of} 、前記画素トランジスタが導通状態での前記ゲート電極－前記画素電極間容量の値を C_{on} とし、ゲートパルスがオン状態での電圧値を V_{gh} 、同じくゲートパルスがオフ状態での電圧値を V_{gl} 、前記画素トランジスタの閾値電圧値を V_t 、ソース信号パルスのセクタ電圧値を V_{sc} 、 $\alpha = V_{gh} - (V_{sc} + V_t)$ 、 $\beta = (V_{sc} + V_t) - V_{gl}$ 、 $\tau = \beta / \alpha$ とおくとき、

$$D = [(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})] \times (L_{st} / L_{of})$$

で定義される D の値が、 $0.7 < D < 1.4$ で規定される範囲内に存在するように構成されることを特徴とするアクティブマトリクス液晶表示素子。

【請求項3】画像表示部を前記ゲートラインの長さ方向に対して複数の領域に分割し、各領域ごとに前記蓄積容量と、前記ゲート電極－前記画素電極間容量との比を異なった値に設定して形成されるアクティブマトリクス表示素子において、前記 C_{st} の値と、前記 C_{of} の値と、前記 C_{on} の値のうち少なくとも1つの値が、前記各領域ごとに異なった値に設定された場合においても、おのおのの領域に対して前記 D の値が $0.7 < D < 1.4$ で規定される範囲内に存在するように構成されることを特徴とする請求項1又は2に記載のアクティブマトリクス液晶表示素子。

【請求項4】前記蓄積容量を構成するパターンのエッジの少なくとも一部分が、単数、又は複数の凹凸状のパターンから成ることを特徴とする請求項1又は2に記載のアクティブマトリクス液晶表示素子。

【請求項5】前記蓄積容量を構成するパターンのエッジの少なくとも一部分が、単数、又は複数の鋸歯状のパターンから成ることを特徴とする請求項1又は2に記載のアクティブマトリクス液晶表示素子。

【請求項6】前記蓄積容量を構成するパターンのうち、少なくとも一部分が、H型の構造を有するパターンから成ることを特徴とする請求項1又は2に記載のアクティブマトリクス液晶表示素子。

【請求項7】前記蓄積容量を構成するパターンのうち、少なくとも一部分が、環状の構造を有するパターンから成ることを特徴とする請求項1又は2に記載の

アクティブマトリクス液晶表示素子。

【請求項 8】前記蓄積容量を構成するパターンのうち、少なくとも一部分が、ミヤンダ構造を有するパターンから成ることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス液晶表示素子。

【請求項 9】前記蓄積容量を構成するパターンのうち、少なくとも一部分が、櫛形の構造を有するパターンから成ることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス液晶表示素子。

【請求項 10】前記蓄積容量を構成するパターンのうち、少なくとも一部分が、パターン内部に開口部を有することを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス液晶表示素子。

【請求項 11】前記画素トランジスタが導通状態での前記ゲート電極－前記画素電極間容量を構成するパターンのエッジが、その一部分を、前記画素トランジスタを構成する半導体から成るパターンのエッジにより構成されないことを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス液晶表示素子。

【請求項 12】前記蓄積容量を構成するパターンのエッジが、その一部分を、前記画素電極を構成する透明電極膜のパターンのエッジにより構成されないようにすることを特徴とする請求項 1 又は 2 に記載のアクティブマトリクス液晶表示素子。

【請求項 13】前記蓄積容量を構成するパターンのエッジのうち、前記ゲート電極を形成するのと同じ層の膜により構成されるエッジの長さを L_{stg} 、同じく前記ソース電極を形成するのと同じ層の膜により構成されるエッジの長さを L_{sd} 、前記画素トランジスタが非導通状態での前記ゲート電極－前記画素電極間容量を構成するパターンのエッジのうち、前記ゲート電極を形成するのと同じ層の膜により構成されるエッジの長さを L_{ofg} 、同じく前記ソース電極を形成するのと同じ層の膜により構成されるエッジの長さを L_{ofd} 、前記画素トランジスタが導通状態での前記ゲート電極－前記画素電極間容量を構成するパターンのエッジのうち、前記ゲート電極を形成するのと同じ層の膜により構成されるエッジの長さを L_{ong} 、同じく前記ソース電極を形成するのと同じ層の膜により構成されるエッジの長さを L_{ond} とくと、

$$L_{stg} : L_{std} = L_{ofg} + L_{ong} : L_{ofd} + L_{ond}$$

を満たすように構成することを特徴とする請求項1又は2に記載のアクティブマトリクス液晶表示素子。

【請求項14】画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に設けられ、走査信号を伝達する複数のゲートラインと、ソースラインとゲートラインとの各交差部に対応して一画素ごとに設けられた画素電極と、前記各画素電極に接続されるとともに、ソースライン、及びゲートラインにそれぞれゲート電極、及びソース電極を介して接続された画素トランジスタと、前記画素電極に対向して設けられた対向電極と、液晶に印加される電圧を保持するために一画素ごとに設けられた蓄積容量を具備するアクティブマトリクス表示素子において、前記蓄積容量を構成するパターンの辺の長さ、及び前記ゲート電極－前記画素電極間容量を構成するパターンの辺の長さのどちらか一方、又は両方に、画像表示面内におけるばらつきが生じても、各画素に対応して決まる突き抜け電圧値が、画像表示部を構成する複数の画素間において一定の値に保たれるよう構成されることを特徴とするアクティブマトリクス液晶表示素子。

【請求項15】画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に設けられ、走査信号を伝達する複数のゲートラインと、ソースラインとゲートラインとの各交差部に対応して一画素ごとに設けられた画素電極と、前記各画素電極に接続されるとともに、ソースライン、及びゲートラインにそれぞれゲート電極、及びソース電極を介して接続された画素トランジスタと、前記画素電極に対向して設けられた対向電極と、液晶に印加される電圧を保持するために一画素ごとに設けられた蓄積容量を具備するアクティブマトリクス表示素子において、前記蓄積容量を構成するパターンの辺の長さ、及び前記ゲート電極－前記画素電極間容量を構成するパターンの辺の長さのどちらか一方、又は両方に、画像表示面内におけるばらつきが生じても、各画素に対応して決まる突き抜け電圧値の、画像表示部を構成する全ての画素間におけるばらつきが、100 mV以内に保たれるよう構成されることを特徴とするアクティブマトリクス液晶表示素子。

【請求項16】前記画素電極と前記対向電極とで挟持された前記液晶が一画素

内に保有する容量の値を C_{lc} 、前記一画素ごとに設けられた蓄積容量の値を C_{st} 、前記画素トランジスタが非導通状態での前記ゲート電極－前記画素電極間容量の値を C_{of} 、前記画素トランジスタが導通状態での前記ゲート電極－前記画素電極間容量の値を C_{on} とし、ゲートパルスがオン状態での電圧値を V_{gh} 、同じくゲートパルスがオフ状態での電圧値を V_{gl} 、前記画素トランジスタの閾値電圧値を V_t 、ソース信号パルスのセンター電圧値を V_{sc} 、 $\alpha = V_{gh} - (V_{sc} + V_t)$ 、 $\beta = (V_{sc} + V_t) - V_{gl}$ 、 $\tau = \beta / \alpha$ とおくとき、前記蓄積容量を構成するパターンの寸法、及び前記ゲート電極－前記画素電極間容量を構成するパターンの寸法のどちらか一方、又は両方に、画像表示面内におけるばらつきが生じても、各画素に対応して決まる $[(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})] \times \alpha$ なる値が、画像表示部を構成する複数の画素間において一定の値に保たれるよう構成されることを特徴とする請求項 1 4 又は 1 5 に記載のアクティブマトリクス液晶表示素子。

【請求項 1 7】前記蓄積容量を構成するパターンの寸法、及び前記ゲート電極－前記画素電極間容量を構成するパターンの寸法のどちらか一方、又は両方に、画像表示面内におけるばらつきが生じても、前記 C_{lc} 、前記 C_{st} 、前記 C_{of} 、前記 C_{on} 、前記 α によって各画素に対応して決まる、 $[(C_{on} + C_{of}) / (C_{lc} + C_{st} + C_{of})] \times \alpha$ なる値が、画像表示部を構成する複数の画素間において一定の値に保たれるよう構成されることを特徴とする請求項 1 4 又は 1 5 に記載のアクティブマトリクス液晶表示素子。

【請求項 1 8】前記蓄積容量を構成するパターンの寸法、及び前記ゲート電極－前記画素電極間容量を構成するパターンの寸法のどちらか一方、又は両方に、画像表示面内におけるばらつきが生じても、前記 C_{lc} 、前記 C_{st} 、前記 C_{of} 、前記 V_{gh} 、前記 V_{gl} によって各画素に対応して決まる、 $[C_{of} / (C_{lc} + C_{st} + C_{of})] \times (V_{gh} - V_{gl})$ なる値が、画像表示部を構成する複数の画素間において一定の値に保たれるよう構成されることを特徴とする請求項 1 4 又は 1 5 に記載のアクティブマトリクス液晶表示素子。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、各画素に対応するトランジスタを有した、いわゆるアクティブマトリクス液晶表示素子に関するものである。

【0002】

【従来の技術】

近年、液晶表示素子の大型化、高精細化、高画質化が急激に進んでおり、これらの要求を満たすための取り組みが盛んに行われている。特に、画質の課題としては、フリッカの低減が重要であり、近年の大型化、高精細化によってますます深刻な課題になりつつある。

【0003】

大型化、高精細化が進むと、アクティブマトリクス表示を行う、画素のトランジスタのゲート電極に入力されるパルスは、給電端ではほぼ矩形波で入力されるのに対し、終電端では、負荷が大きいために、波形がなまってくる。この影響により、再充電と呼ばれる現象が終電端で大きくなり、結果的に、画面の左側と右側とで画素に保持される電位が異なってしまう。この場合、偶フレームと奇フレームとで同じ大きさの電圧が液晶に印加されるように対向電位を決定する際に、画面の場所によって、とるべき対向電位の値が異なってしまう。この場合、通常は平均的な値を設定することになるが、この結果、画面の特定の場所にはフリッカと呼ばれるちらつきが見られ、画質上の大きな問題となる。これに対する対策としては、例えば特開平5-232509号公報や、特開平11-84428号公報などに開示されているように、蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量が、突き抜け電圧と呼ばれる値に影響することを利用し、これらの容量値を画面の場所によって、少しずつ異なった値になるように設定することで、フリッカを低減するという方法が用いられている。

【0004】

しかしながら、前述のように蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量を設定したつもりでも、実際には設計通りの容量値とならないことがある。突き抜け電圧は、画素が最終的に保持する電位に影響し、蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量によって決まっているので、これらの容量値が変動すると、画素に保持される電位も変動することになる。

この時、この電位変動分が画像表示面内で均一であれば、偶フレームと奇フレームとで同じ大きさの電圧が液晶に印加されるように対向電位を調整しなおすことによりフリッカは発生しなくなるが、画像表示面内で変動の大きさが異なると、特定の領域において、偶フレームと奇フレームとで同じ大きさの電圧が液晶に印加されるように対向電位を調整しても、偶フレームと奇フレームとで異なる大きさの電圧が液晶に印加される領域が必ず発生してしまい、これがフリッカとして観測されることになる。蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量の変動の原因の一つとして、蓄積容量や、画素トランジスタのゲート電極－画素間の容量を構成するゲート電極、画素電極等のパターンを形成する際に、それぞれのパターンを作成するためのフォトマスクに合わせずれが生じ、絶縁膜を介したこれらのパターンのオーバーラップ領域の面積が設計通りの値からずれることが挙げられる。これに対する対策としては、例えば、特開平 6 - 6 7 1 9 9 号公報や、特開平 8 - 8 4 3 2 号公報に開示されているように、画素電極、及びゲート電極を、互いに十字型にクロスオーバーさせることにより、合わせずれに対して容量値が影響を受けないようにする方法が提案されている。或いは、別の対策としては例えば、特開平 5 - 1 1 9 3 4 7 号公報に開示されているように、トランジスタを 2 つ並列につなげ、第一のトランジスタと第二のトランジスタとでそれぞれソース電極、及びドレイン電極を、互いに上下関係が逆になるように配置接続することによって、合わせずれをキャンセルする方法が提案されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

ここで、これらの対策は、合わせずれがゲートラインに対して平行方向、又は垂直方向のみにおけると仮定した場合の対策であり、実際にこの限りにおいては有効な解決手段となり得る。しかし実際には、回転方向の合わせずれが存在し、この場合においては上記手段は必ずしも有効な解決手段とはならない。そもそも合わせずれがゲートラインに対して平行方向、又は垂直方向のみにおけると仮定した場合、以上のような解決手段を用いずとも、フリッカレベルは問題となるレベルまで増大するとは考えにくい。なぜならこのようなずれは、原則としては画

像表示面内に一樣におこり、対向電位を調節することにより基本的には解決できるからである。ただし、レティクルや、アレイ基板が、特定の温度、或いは機械的膨張係数を有しているために、温度むら、レティクルや基板のたわみ等が発生する特定の条件下においては、結果として合わせずれに相当する変動が、画像表示面内でばらつくこともあり得る。さらに、特開 2 0 0 0 - 2 8 8 9 に開示されているように、ステッパを用いて画像表示面内を複数の露光によって作成する場合は、各露光領域によって合わせずれの大きさが異なることもあり得る。しかしこの場合においても、容量を構成しているパターンの外周のうち、合わせずれに影響するエッジの辺の長さを相対的に短くすることで、変動分を許容範囲内に抑制することは容易に可能となる。これに対し回転方向のずれは、回転の中心位置からの距離によってずれ量が異なり、フリッカの増大に直接影響する。従って、合わせずれを問題にする場合はむしろ回転方向のずれを考慮することが必要であるが、設計上でこれを回避するのは困難である。実際に回転方向ずれがどれだけ影響するかを切り分けて見積もることは困難であるが、フォトリソプロセスにおいて、できる限り回転ずれを小さくするように工夫することが重要となる。

【 0 0 0 6 】

一方、もう一つの大きな要因として、フォトリソグラフィや、エッチング工程の制御性の不足により、ゲート電極、画素電極等のパターンの幅が設計の値に対して増減することが挙げられる。前述の各従来方法では、この課題は解決することができず、しかもマスクの合わせずれよりも、より深刻な課題である。

【 0 0 0 7 】

従って、これに対する対策としては、これまで設計上の有効な手段が講じられておらず、画像表示面内で、フォトリソグラフィ技術やドライエッチング、ウェットエッチング等の加工技術の精度を向上することで面内ばらつきを抑制し、フリッカの増大を許容範囲内に抑制してきた。しかしながら近年、液晶表示素子の大型化、高精細化、高画質化等の進展により、フリッカレベルの許容限がますます厳しくなり、従来のプロセス技術による対策のみでは、フリッカレベルを許容範囲内に抑制することが困難となってきた。

【 0 0 0 8 】

本発明は、以上のような課題を解決するためになされたものであり、フリッカを、画質上問題とならない水準にまで低減させるために、蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量を構成するゲート電極や、画素電極の 패턴の辺の長さが画像表示面内でばらついた場合でも、突き抜け電圧が画像表示面内で一定になるように蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量の設定方法や、パターン構造について工夫を施したものである。

【0009】

【課題を解決するための手段】

本発明の液晶表示素子は、フリッカを、画質上問題とならない水準にまで低減させるために、蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量を構成するゲート電極や、画素電極の图案寸法が画像表示面内でばらついた場合でも、突き抜け電圧が画像表示面内で一定になるように蓄積容量や、画素トランジスタのゲート電極－画素電極間の容量の設計方法や、パターン構造について創意工夫を施したものである。

【0010】

具体的には、蓄積容量と、ゲート電極－画素電極間容量を構成する图案の面積の比に応じて、同じく蓄積容量と、ゲート電極－画素電極間容量を構成する图案の外周の長さの比を最適な値に設定することにより、突き抜け電圧値を一定の値に保つように構成している。

【0011】

これらの比の設定の仕方について以下に述べる。

【0012】

まず、単位画素あたりの液晶容量を C_{lc} 、蓄積容量を C_{st} 、ゲート電極－画素電極間容量を C_{gd} 、ゲートパルスがオン状態での電圧値を V_{gh} 、ゲートパルスがオフ状態での電圧値を V_{gl} 、突き抜け電圧を V_{ts} とすると、突き抜け電圧 V_{ts} は、一般に

$$V_{ts} = [C_{gd} / (C_{lc} + C_{st} + C_{gd})] \times (V_{gh} - V_{gl})$$

と記述できる。ここで A 、及び B を定数として、 $C_{gd} / (C_{lc} + C_{st} + C_{gd}) = A$ 、 $\Delta C_{gd} / (\Delta C_{st} + \Delta C_{gd}) = B$ とおく。ただし、ゲート電極

や、画素電極等のパターン寸法のばらつきに起因する蓄積容量と、ゲート電極一面素電極間容量の設計値からの変動量をそれぞれ ΔC_{st} 、 ΔC_{gd} とする。

【0013】

突き抜け電圧値を面内で一定に保つための条件は、

$$(C_{gd} + \Delta C_{gd}) / (C_{lc} + C_{st} + C_{gd} + \Delta C_{st} + \Delta C_{gd}) = C$$

を満たすことである。ただし、 C を定数とする。

【0014】

これより A と B との間に $A = B$ なる関係が導出され、この結果、 ΔC_{st} と ΔC_{gd} との間に、 $\Delta C_{st} = [(1 - A) / A] \times \Delta C_{gd}$ なる関係を成立させればよいことがわかる。ところで、 ΔC_{st} 、及び ΔC_{gd} は、蓄積容量と、ゲート電極一面素電極間容量を構成するパターンの外周の長さをそれぞれ L_{st} 、 L_{gd} とし、ゲート電極、或いは画素電極パターンの設計値からの寸法変動をそれぞれ ΔW_{st} 、 ΔW_{gd} とすると、それぞれ $\Delta C_{st} = L_{st} \times \Delta W_{st}$ 、 $\Delta C_{gd} = L_{gd} \times \Delta W_{gd}$ と表せる。

【0015】

ここで、 ΔW_{st} と ΔW_{gd} とは、1画素領域内のごく近い距離内でのばらつきは通常無視できるので、ほぼ等しいと考えられる。従って、 $\Delta C_{st} = [(1 - A) / A] \times \Delta C_{gd}$ における ΔC_{st} と ΔC_{gd} との関係は、 ΔC_{st} を L_{st} に、 ΔC_{gd} を L_{gd} にそのまま置き換えても成立する。 C_{st} と C_{gd} の比を K とすると、 L_{st} と L_{gd} の関係は、 K を用いて $L_{st} = 2K \times L_{gd}$ となるようにパターン設計すればよい。

【0016】

ここでゲート波形が、終電端に近づくに従ってなまることによる再充電電流の影響は、小型パネル等では無視できるレベルであるので、この場合は C_{st} と C_{gd} の比は画像表示面内で一定の値に設定できるので、 L_{st} と L_{gd} の比もそれに従って画像表示面内で $L_{st} = 2K \times L_{gd}$ を満たす一定の値に設定すればよい。しかし近年、液晶表示素子の大型化、高精細化、高画質化が進んでおり、それに伴って再充電電流の影響が無視できなくなっている。この場合は、画像表示部のゲート線方向の位置によって、 K の値を異なった値に設定することに

より、再充電電流の影響を補償するため、それに対応させて、 L_{st} と L_{gd} の比も $L_{st} = 2K \times L_{gd}$ を満たすように、画像表示部のゲート線方向の位置によって、異なった値に設定すればよい。

【0017】

ところで $L_{st} = 2K \times L_{gd}$ は、

$$V_{ts} = [C_{gd} / (C_{lc} + C_{st} + C_{gd})] \times (V_{gh} - V_{gl})$$

のように、画素トランジスタ導通時と非導通時とでゲート電極－画素電極間容量 C_{gd} を特に区別していない式をもとにしているが、より正確にはゲート電極－画素電極間容量 C_{gd} は、画素トランジスタが非導通時の値 C_{of} と導通時の値 C_{on} の2種類を考慮する必要がある。突き抜け電圧はそもそも画素トランジスタが導通状態から非導通状態へ遷移する際の電荷保存則により導出されるため、これら2つの値に依存する。これを考慮した場合の突き抜け電圧は、ソース信号レベルに依存するため奇フレームと偶フレームとで値が異なるが、実際にフリッカに影響するのはこの平均値であるのでソースセンター電圧のみに依存しソース振幅電圧の変動には依存しない。このときの平均突き抜け電圧 V_{ts} は

$V_{ts} = [(V_{gh} - (V_{sc} + V_t)) \times C_{on} + ((V_{sc} + V_t) - V_{gl}) \times C_{of}] / (C_{lc} + C_{st} + C_{of})$ と記述できる。ただし V_{sc} はソースセンター値、 V_t は C_{of} と、 C_{on} のスイッチングする閾値電圧を示す。ここで α 、 β を定数として、 $\alpha = V_{gh} - (V_{sc} + V_t)$ 、 $\beta = (V_{sc} + V_t) - V_{gl}$ とすると、 α 、 β は通常の場合ほぼ等しいので、平均突き抜け電圧 V_{ts} は $V_{ts} = [(C_{on} + C_{of}) / (C_{lc} + C_{st} + C_{of})] \times \alpha$ と近似できる。このように、 C_{on} と、 C_{of} とを区別して考慮することにより、より高精度に、 L_{st} と L_{gd} の比の最適値を導出することが可能となる。

【0018】

ここで次に、 C_{st} 、 C_{of} 、 C_{on} が、どの材料の膜のパターンの寸法変動に影響を受けるかを考える必要がある。 C_{st} は、ゲート電極、ソース電極、透明画素電極の3種類、 C_{of} は、ゲート電極、ソース電極の2種類、 C_{on} はゲート電極、半導体膜の2種類が最大考えられる。パターンの種類によって寸法の変動の仕方が異なる可能性があるため、できる限りパターンのエッジを構成する種類を限定することが望ましい。この例として、 C_{on} であれば、通常、ゲート

電極と半導体膜によってエッジが構成されているのに対し、ゲート電極のみによってエッジが構成されるようにすることが可能であり、 C_{st} であれば、通常、ゲート電極とソース電極及び透明画素電極によってエッジが構成されているのに対し、ゲート電極とソース電極のみによってエッジが構成されるようにすることが可能であり、このように構成することによって、より低くフリッカレベルを抑制することができる。ただし、この状態では、 C_{on} はゲート電極のエッジのみであるが、 C_{of} と C_{st} はゲート電極、およびソース電極のエッジから構成されており、どちらか一方のみで構成することはほぼ不可能である。ゲート電極、およびソース電極は同じ金属系の材料で構成される場合が多いが、膜厚が異なったり、異なった材料を用いる場合もあるので、やはりゲート電極とソース電極とは寸法の変動量は異なる場合がある。そこで、 C_{st} を構成するパターンの外周のうち、ゲート電極のエッジの長さ、ソース電極のエッジの長さとの比を、同じく C_{on} と C_{of} を構成するパターンの外周の和のうち、ゲート電極のエッジの長さ、ソース電極のエッジの長さとの比と等しくすることにより、ゲート電極のエッジどうし、ソース電極のエッジどうしでそれぞれパターン寸法のばらつきの影響をなくすことにより、さらに低くフリッカレベルを抑制することができる。

【0019】

以上のように L_{gd} と L_{st} との比を設定すれば良いわけであるが、実際には、 L_{gd} に対して L_{st} が通常は3～4倍、大きくても5倍程度しかないのに対し、必要となる長さは10～20倍であり、従来の構造では突き抜け電圧の変動を十分に抑制できない。 L_{st}/L_{gd} を大きくとるためには L_{gd} を小さくしてもよいが、 C_{gd} のパターンは通常可能な限り小さく設定されており、自由度がない。従って、 L_{st} が大きくなるような構造をとる必要がある。ただし面積は、液晶容量の大きさとの関係で決定されるので、外周のみ大きくとる方法を考える必要がある。具体的には、外周のパターンに凹凸を持たせたり、ジグザグにする、穴あき構造にする、H型や、環状、ミヤンダパターン、櫛状等の細長いパターンにするなどして、開口率を可能な限り低減させないようにし、かつ外周の長さをかせぐ構造をとることにより、必要となる L_{st}/L_{gd} の大きさを確保す

る。しかし、透過型の液晶表示素子の場合、開口率の制約もあって、実際には突き抜け電圧の変動をほぼなくすまで L_{st} を長くとることができない場合がある。しかしこの場合でも、突き抜け電圧の変動が許容範囲以内になるレベルまで、 L_{st}/L_{gd} を大きくすれば十分な効果は得られる。この際に、どの程度の割合で突き抜け電圧の変動を抑制できるかを示す指標を、 $D = [(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})] \times (L_{st} / L_{of})$ で示される D によって定義し、突き抜け電圧の変動が許容範囲以内になるための D の範囲を指定し、これを満たすように L_{st}/L_{gd} を設定すればよい。ここで D の範囲を設定するためには、パターン寸法の面内ばらつきの程度も加味する必要がある。一方、反射型の液晶表示素子、又は半透過型の液晶表示素子の場合、開口率に対する制約がほとんどないため、突き抜け電圧の変動をほぼなくすまで L_{st} の長さを確保することができる。

【0020】

以上のように、フリッカを、画質上問題とならない水準にまで低減させるために、蓄積容量や、画素トランジスタのゲート電極—画素電極間の容量を構成するゲート電極や、画素電極のパターンの辺の長さが画像表示面内でばらついた場合でも、突き抜け電圧が画像表示面内で一定になるように、蓄積容量値とゲート電極—画素電極間容量値との比に応じて、蓄積容量を構成するパターンの外周の長さ、ゲート電極—画素電極間容量を構成するパターンの外周の長さとの比を設定することにより、大型、高精細の液晶表示素子に対しても、フリッカレベルの小さい、すなわち高画質品位を保持した液晶表示素子を実現することができる。

【0021】

【発明の実施の形態】

（実施の形態1）

本発明における実施の形態1について述べる。実施の形態1を説明するための説明図を図1に示す。図1において、横軸の D は、蓄積容量、ゲート電極—画素電極間容量を構成するパターンの辺の長さの変動に対し、突き抜け電圧の変動がどの程度の割合で抑制されるかを示す指標であり、 $D = [(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})] \times (L_{st} / L_{of})$ で定義している。ここで、液晶容量値を C_{lc} 、蓄積容量値を C_{st} 、画素トランジスタが非導通状態でのゲート電極—画素電極間

容量値を C_{of} 、画素トランジスタが導通状態でのゲート電極－画素電極間容量の値を C_{on} 、ゲートパルスがオン状態での電圧値を V_{gh} 、ゲートパルスがオフ状態での電圧値を V_{gl} 、画素トランジスタの閾値電圧値を V_t 、ソース信号パルスのセンター電圧値を V_{sc} 、 $\alpha = V_{gh} - (V_{sc} + V_t)$ 、 $\beta = (V_{sc} + V_t) - V_{gl}$ 、 $\tau = \beta / \alpha$ 、蓄積容量を構成するパターンのエッジの長さを L_{st} 、画素トランジスタが非導通状態でのゲート電極－画素電極間容量を構成するパターンのエッジの長さを L_{of} としている。縦軸には DC オフセットをとっており、DC オフセット－D 特性曲線 1 は、D が 1 のときに最小値をとるような、下に凸の関数となっている。DC オフセットとは、フリッカを発生させる直接の原因であり、突き抜け電圧の画像表示面内におけるばらつきの差分を表すものである。DC オフセット許容ライン 2 は、フリッカが検知される限界の DC オフセット値を示すラインであり、その交点の D の値を D_{min} と D_{max} とおくと、 $D_{min} < D < D_{max}$ を満たす範囲内に D が存在すれば、フリッカが検知されないことになる。フリッカが通常検知されない限界の DC オフセットは 100 mV 程度といわれているので、DC オフセット許容ライン 2 として 100 mV とし、蓄積容量、ゲート電極－画素電極間容量を構成するパターンの辺の長さの、画像表示面内における最大変動量としては、液晶用の、大型フォトリソグラフィ装置、及び、ドライエッチ、ウェットエッチ等の加工プロセス装置の制御性を考慮すると、0.5 μ m 程度と考えられ、このとき、 $D_{min} = 0.7$ 、 $D_{max} = 1.4$ 程度の値となる。上記条件を満たすように、液晶表示素子を作成した。具体的には、 $C_{lc} = 0.1$ pF、 $C_{st} = 0.1$ pF、 $C_{of} = 0.1$ pF、 $C_{on} = 0.2$ pF、 $L_{of} = 25$ μ m、 $L_{st} = 150$ μ m となるように設定し、 $D = 0.8$ となった。上記液晶表示素子を用いて、液晶表示装置を作成し、フリッカを測定したところ、良好な結果を示した。

【0022】

一方、図 11 に示されているような従来のゲート－画素電極間容量を構成するパターンや、図 12 に示されているような従来の蓄積容量を構成するパターン等の構成の場合、 L_{st} / L_{of} の値は 3 ～ 5 程度であり、このときの D の値は 0.6 程度である。

【 0 0 2 3 】

つまり 0.7 以下であるために 100 mV の限界よりも若干大きな値となり、このままでは画質上問題となる。D を 0.7 以上にするには、 L_{st}/L_{of} を、さらにもとの 2 倍程度とる必要があり、従って、 L_{st}/L_{of} を大きくするような工夫を施せば、D を上記許容範囲内になるように設定することにより、フリッカを許容範囲内に抑制することが可能となる。

【 0 0 2 4 】

(実施の形態 2)

本発明における実施の形態 2 について、図 2 を用いて説明する。図 2 (a) は、実施の形態 1 に示すような条件を満たすために、蓄積容量を構成するパターンに凹凸をつけて、 L_{st} を大きくしている例を示している。ここで、図 2 (a) は、透過型の液晶表示素子におけるものとする。凹凸をつけない従来構成構成と面積は同じになるように凹凸をつけると、蓄積容量を構成している面積は同じであるにもかかわらず、開口率は減少する。この原因は、蓄積容量形成用画素電極 13 の存在に起因する。蓄積容量形成用画素電極 13 がいない場合にも蓄積容量は形成できるが、この際には蓄積容量は透明電極 4 と蓄積容量形成用独立電極 12 との間で形成される。しかしこの際に形成される容量は、ゲート絶縁膜 11 だけでなく、パッシベーション用絶縁膜 8 をも介して形成されるため膜厚が厚く、単位面積あたりの容量が小さいためにその分面積を大きくとる必要があり、開口率が低下する。そこで通常は、透明電極 4 をコンタクト部 9 を介して蓄積容量形成用画素電極 13 に接続し、これと蓄積容量形成用独立電極 12 とで蓄積容量をとる構成とする。これにより、ゲート絶縁膜 11 のみを介して蓄積容量を形成でき、その意味では開口率の低下を防ぐ手段となる。

【 0 0 2 5 】

しかし一方で、蓄積容量形成用画素電極 13 を、蓄積容量形成用独立電極 12 に対して余分にオーバーラップさせて形成する必要があり、その結果、図 2 (a) のように L_{st} を長くとる構成の場合、蓄積容量形成用画素電極 13 の占める面積が大きくなり、開口率の低下を招く。従って、 L_{st} を長くとる構造にする程、開口率は低下してしまう。この結果、透過型の液晶表示素子においては、開口率の

制限があり、実施の形態1に示したDの条件を満たすことができないなど、開口率とフリッカレベルを両立できない場合がありうる。これに対し、図2(b)に示すように、反射板14を有する反射型の液晶表示素子に、蓄積容量におけるLstを長くとり構成を用いれば、開口率を考慮する必要がないために、Dの値が1となるようなLstの値を容易にとることができ、フリッカを最小限にまで抑制することが可能となる。

【0026】

(実施の形態3)

本発明における実施の形態3について、図3を用いて説明する。図3(a)は、容量傾斜補正を行った液晶表示素子の1つの画素構造において、かつ実施の形態1に示すような条件を満たすために、蓄積容量を構成するパターンに凹凸をつけて、Lstを大きくしている例を示している。さらに図3(b)は、もう1つの異なる場所における、同じく蓄積容量を構成するパターンに凹凸をつけた画素の構造を示している。図3の(a)と(b)とでは蓄積容量補正パターンの面積が異なる。これは、ゲート信号パルスのなまりに起因する再充電効果を補正するためであり、大型の液晶表示素子において再充電効果に起因するフリッカを低減させるのに有効な手段である。この場合、異なる場所によってCstの値が異なるため、実施の形態1に示したDの式における、 $(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})$ の値も場所によって異なる。従って、 $D_{min} < D < D_{max}$ を満たすためのLst/Lofの値も場所により異なる。図3(a)の方が、図3(b)よりもCstが大きいのでその分、Lstが長くとられている。このようにCstの大きさの変化に応じて、Lstも変化させることにより、容量傾斜補正を行った場合でも、フリッカレベルを許容範囲内に抑制することが可能となる。尚、Cstだけでなく、Cof、Conについても同様に容量傾斜補正させる場合においても同様の方法を用いることができる。

【0027】

(実施の形態4)

本発明における実施の形態4について、図4～10を用いて説明する。図4は、実施の形態1において示した、 $D_{min} < D < D_{max}$ を満たすためにLstの値を大きくとるための蓄積容量の構造として、外周のパターンを凹凸状にした場合につ

いて示したものである。Lstの値を大きくとるための方法としては、その他に図5に示すような鋸歯状にしたもの、図6に示すようなH型の構造にしたもの、図7に示すような環状にしたもの、図8に示すようなミヤンダパターンにしたもの、図9に示すような櫛型にしたもの、図10に示すような穴あき構造にしたものなどが有効となる。特に、図6に示すようなH型の構造にしたものや、図7に示すような環状にしたものは、ブラックマトリクスパターンの下に一部オーバーラップできることで開口率を大きくできること、又ソースライン1に対する電界シールド効果があるなどの利点を有する。尚、各図において、構造を表現する呼称は、それぞれ各図に示した構造に対するものと定義する。

【 0 0 2 8 】

(実施の形態5)

本発明における実施の形態5について、図11～13を用いて説明する。図11は、従来における画素トランジスタ部の構成、図12は同じく従来における蓄積容量部の構成、図13は、本発明における画素トランジスタ部の構成、図14は、同じく本発明における蓄積容量部の構成をそれぞれ示したものである。ここで、まず図11と図13を比較すると、図11では、画素トランジスタが導通状態でのゲート電極－画素電極間容量を構成するパターンのエッジが、ゲート電極6、シリコン膜7を構成するパターンのエッジにより構成されているのに対し、図13は、ゲート電極6を構成するパターンのエッジのみにより構成されている。一方、図12と図14を比較すると、図12では、蓄積容量を構成するパターンのエッジが、ゲート電極6、ドレイン電極3、透明電極4を構成するパターンのエッジにより構成されているのに対し、図14は、ゲート電極6、ドレイン電極3を構成するパターンのエッジのみにより構成されている。このように構成することにより、異なる層、或いは材料からなるパターン間での加工ばらつきによって、突き抜け電圧の変動が増長される効果を、低減することができる。すなわち、画素トランジスタが導通状態でのゲート電極－画素電極間容量部ではシリコン膜7、蓄積容量部における透明電極4のばらつき要因が排除されていることになる。このようにした場合、ゲート電極－画素電極間容量部、蓄積容量部共に、ゲート電極6、及びドレイン電極3を構成するパターンのエッジにより構成され

ているので、ここでさらに、蓄積容量部を構成するパターンの外周のうち、ゲート電極6のエッジの長さ、ドレイン電極3のエッジの長さとの比を、同じく画素トランジスタが導通状態でのゲート電極-画素電極間容量部と、同じく画素トランジスタが導通状態でのゲート電極-画素電極間容量部とを構成するパターンの外周の和のうち、ゲート電極6のエッジの長さ、ドレイン電極3のエッジの長さとの比と等しくすることにより、ゲート電極6のエッジどうし、ドレイン電極3のエッジどうしでそれぞれパターン寸法のばらつきの影響をなくすことにより、さらに低フリッカレベルを抑制することができる。

【0029】

(実施の形態6)

本発明における実施の形態6について、図15、図16を用いて説明する。図15は、突き抜け電圧値と α との相関を示したものであり、図16は、突き抜け電圧値と $(V_{gh}-V_{gl})$ との相関を示したものである。ここで、ゲートパルスがオン状態での電圧値を V_{gh} 、同じくゲートパルスがオフ状態での電圧値を V_{gl} 、前記画素トランジスタの閾値電圧値を V_t 、ソース信号パルスのセンター電圧値を V_{sc} 、 $\alpha = V_{gh} - (V_{sc} + V_t)$ とする。突き抜け電圧を V_{ts} とすると、 V_{ts} は近似的に、 $V_{ts} = [(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})] \cdot \alpha$ と表せる。ここでさらに、 $\beta = (V_{sc} + V_t) - V_{gl}$ 、 $\tau = \beta / \alpha$ とする。これより、突き抜け電圧は、 α に比例することがわかる。容量値 C_{on} 、 C_{of} 、 C_{st} のばらつきに対し、 $(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})$ が一定となるように各容量を構成することでも突き抜け電圧を一定にできるが、一方、各容量のばらつきによる、 $(C_{on} + \tau \cdot C_{of}) / (C_{lc} + C_{st} + C_{of})$ のばらつきが、画像表示面内において、特定の傾向を有することが予め想定できる場合においては、その傾向をキャンセルできるように、 V_{sc} 、或いは V_{gh} 、 V_{gl} を各行、各列に対して独立に設定しても、突き抜け電圧を一定にすることが可能となる。上記突き抜け電圧の式において、 α と β の値は、ほぼ等しい値になる場合があるので、その場合は、さらに近似して、 $V_{ts} = [(C_{on} + C_{of}) / (C_{lc} + C_{st} + C_{of})] \cdot \alpha$ と表せる。この場合は近似度は下がるが、容量比の項に電圧パラメータが入らないために、補正の際に設定が容易になるという利点を有する。さらに、 C_{on} を考慮しないものとしてさらに近似して

$V_{ts} = [C_{of} / (C_{lc} + C_{st} + C_{of})] \cdot (V_{gh} - V_{gl})$ とも表せる。図 1 6 に示す
 とおり、この場合は、突き抜け電圧は、 $(V_{gh} - V_{gl})$ に比例することがわかる。
 この場合、近似度がさらに下がり、又ソース電位によって補正できないので、横
 方向のばらつきが補正できなくなるという欠点を有するが、 V_t 値、及びそのば
 らつきを考慮する必要がなくなるので、補正の設定が容易になるという利点を有
 する。いずれにしても、最終的には突き抜け電圧を一定にすればよい。尚、ここで一定という表現は、完
 全にばらつきがないという意味で用いているのではなく、特定の許容範囲に基づ
 く範囲内でのばらつきを含めて表現するものと定義する。

【 0 0 3 0 】

【発明の効果】

本発明は、以上説明したような形態で実施され、以下に記載されるような効果
 を奏する。すなわち、突き抜け電圧が画像表示面内で一定になるように、蓄積容
 量値とゲート電極－画素電極間容量値との比に応じて、蓄積容量を構成するパタ
 ーンの外周の長さ、ゲート電極－画素電極間容量を構成するパターンの外周の
 長さとの比を設定することにより、大型、高精細の液晶表示素子に対しても、フ
 リッカレベルの小さい、すなわち高画質品位を保持した液晶表示素子を実現する
 ことができる。

【図面の簡単な説明】

【図 1】

DCオフセットとDとの相関を示す説明図

【図 2】

蓄積容量のパターンを透過型と反射型とで比較した説明図

【図 3】

容量傾斜補正を用いる際の蓄積容量のパターンを示す説明図

【図 4】

凹凸状の蓄積容量パターンを示す説明図

【図 5】

鋸歯状の蓄積容量パターンを示す説明図

【図 6】

H字型の蓄積容量パターンを示す説明図

【図 7】

環状の蓄積容量パターンを示す説明図

【図 8】

ミヤンダ状の蓄積容量パターンを示す説明図

【図 9】

櫛型の蓄積容量パターンを示す説明図

【図 1 0】

パターン内に空洞を有する蓄積容量パターンを示す説明図

【図 1 1】

従来におけるゲート画素間容量のエッジ構成を示す説明図

【図 1 2】

従来における蓄積容量のエッジ構成を示す説明図

【図 1 3】

本発明におけるゲート画素間容量のエッジ構成を示す説明図

【図 1 4】

本発明における蓄積容量のエッジ構成を示す説明図

【図 1 5】

突き抜け電圧と α との相関を示す説明図

【図 1 6】

突き抜け電圧と $(V_{gh} - V_{gl})$ との相関を示す説明図

【符号の説明】

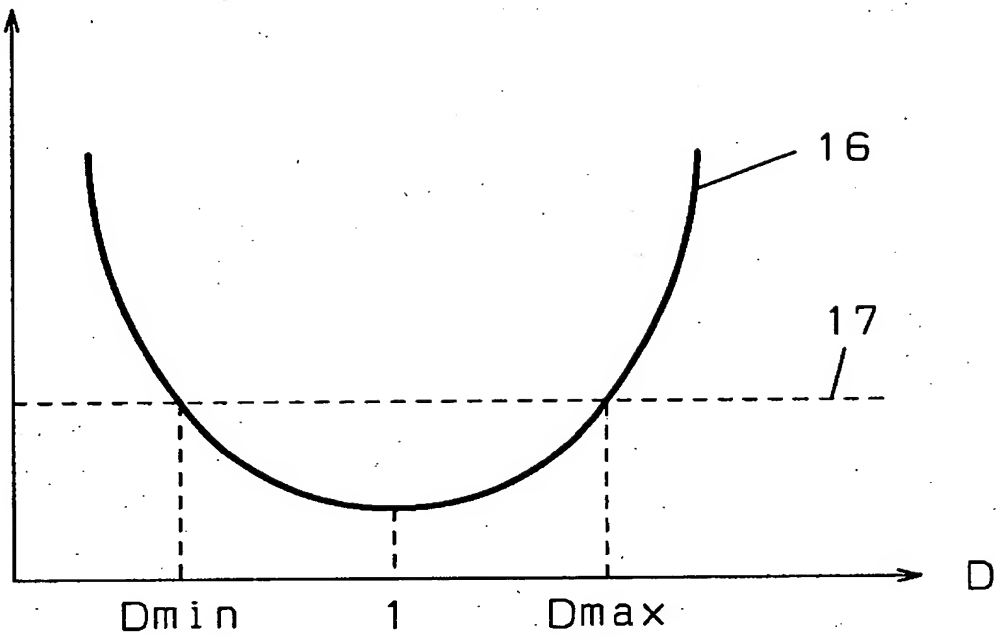
- 1 ソースライン
- 2 ソース電極
- 3 ドレイン電極
- 4 透明電極
- 5 ゲートライン

- 6 ゲート電極
- 7 シリコン膜
 - 7a シリコン膜（ノンドープ層）
 - 7a シリコン膜（n+ドープ層）
- 8 パッシベーション用絶縁膜
- 9 コンタクト部
- 1.0 アレイ用ガラス基板
- 1.1 ゲート絶縁膜
- 1.2 蓄積容量形成用独立電極
- 1.3 蓄積容量形成用画素電極
- 1.4 反射電極
- 1.5 蓄積容量補正パターン
- 1.6 DCオフセット-D特性曲線
- 1.7 DCオフセット許容限ライン
- 1.8 突き抜け電圧- α 特性
- 1.9 突き抜け電圧- $(V_{gh}-V_{gl})$ 特性

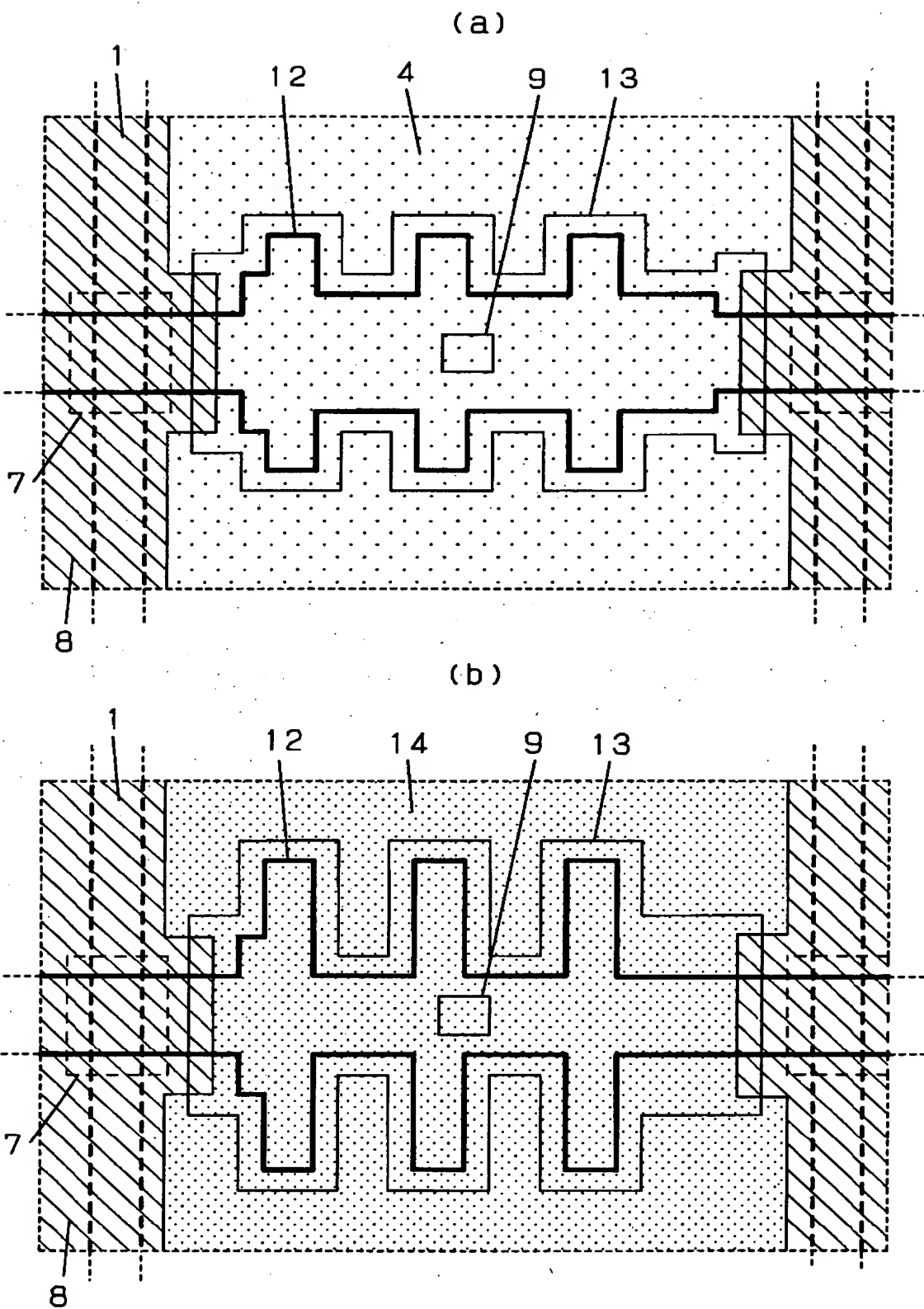
【書類名】 図面

【図 1】

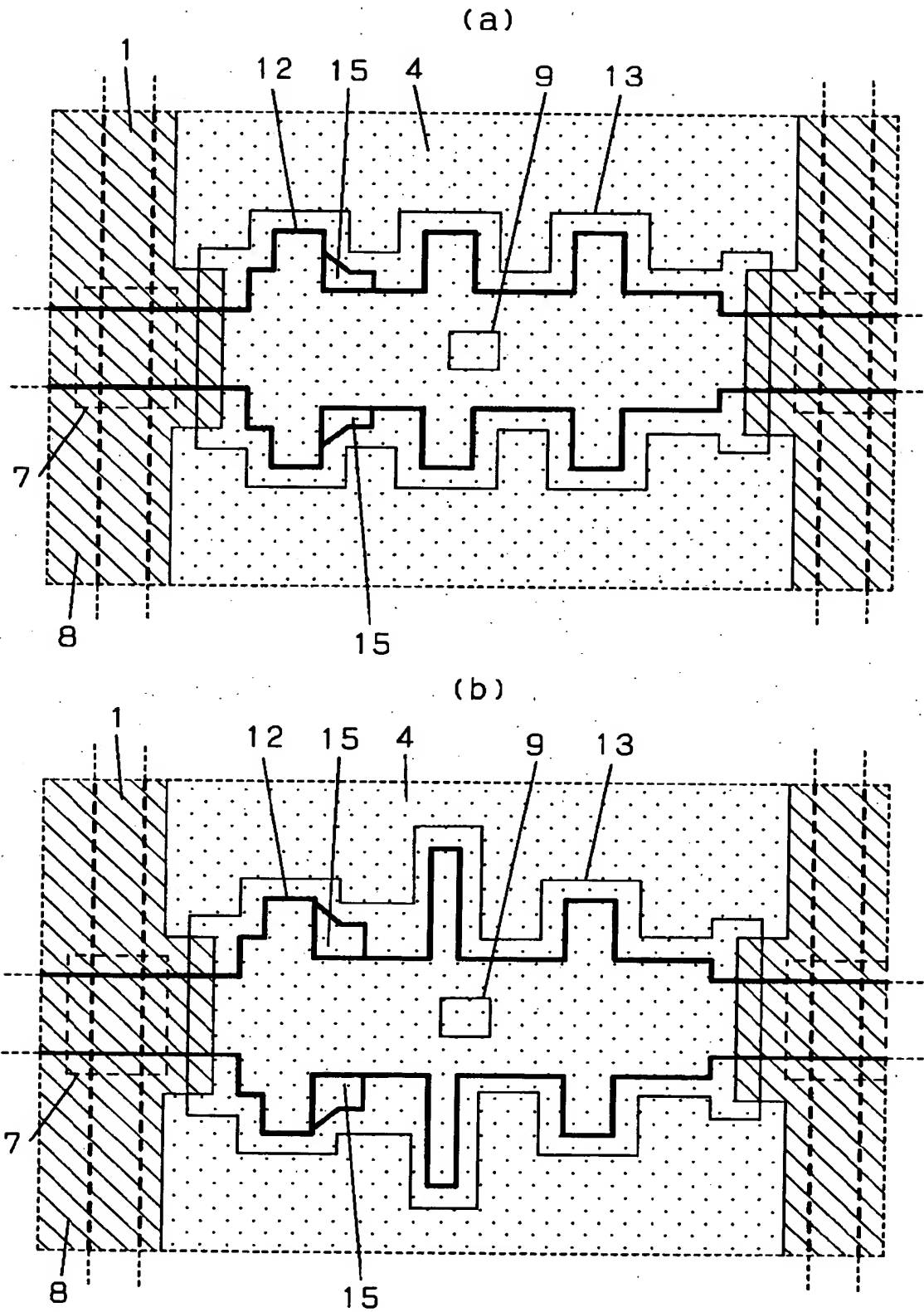
DCオフセット



【図 2】

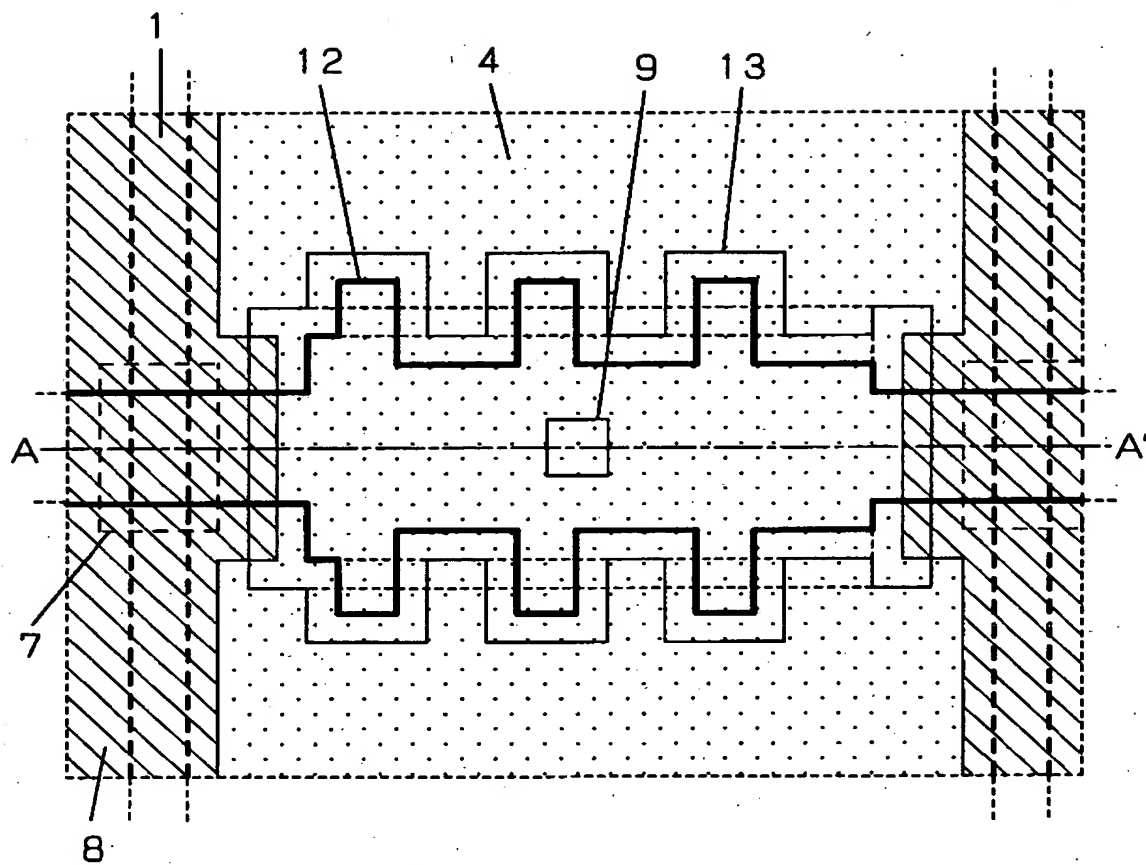


【図3】

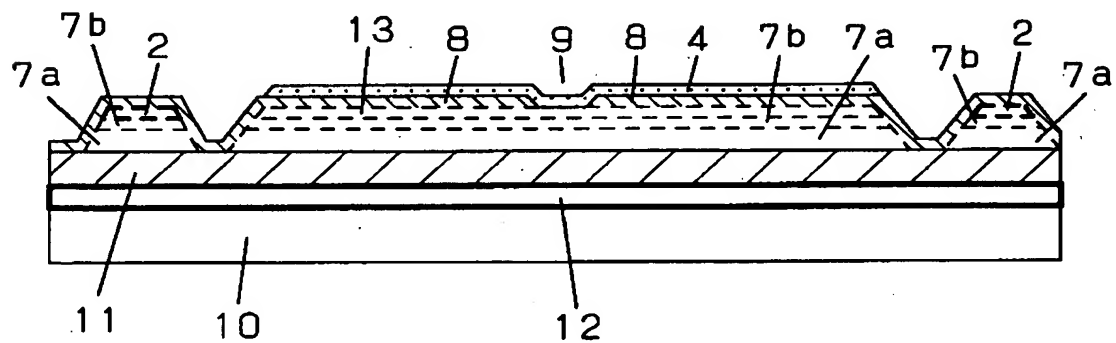


【図4】

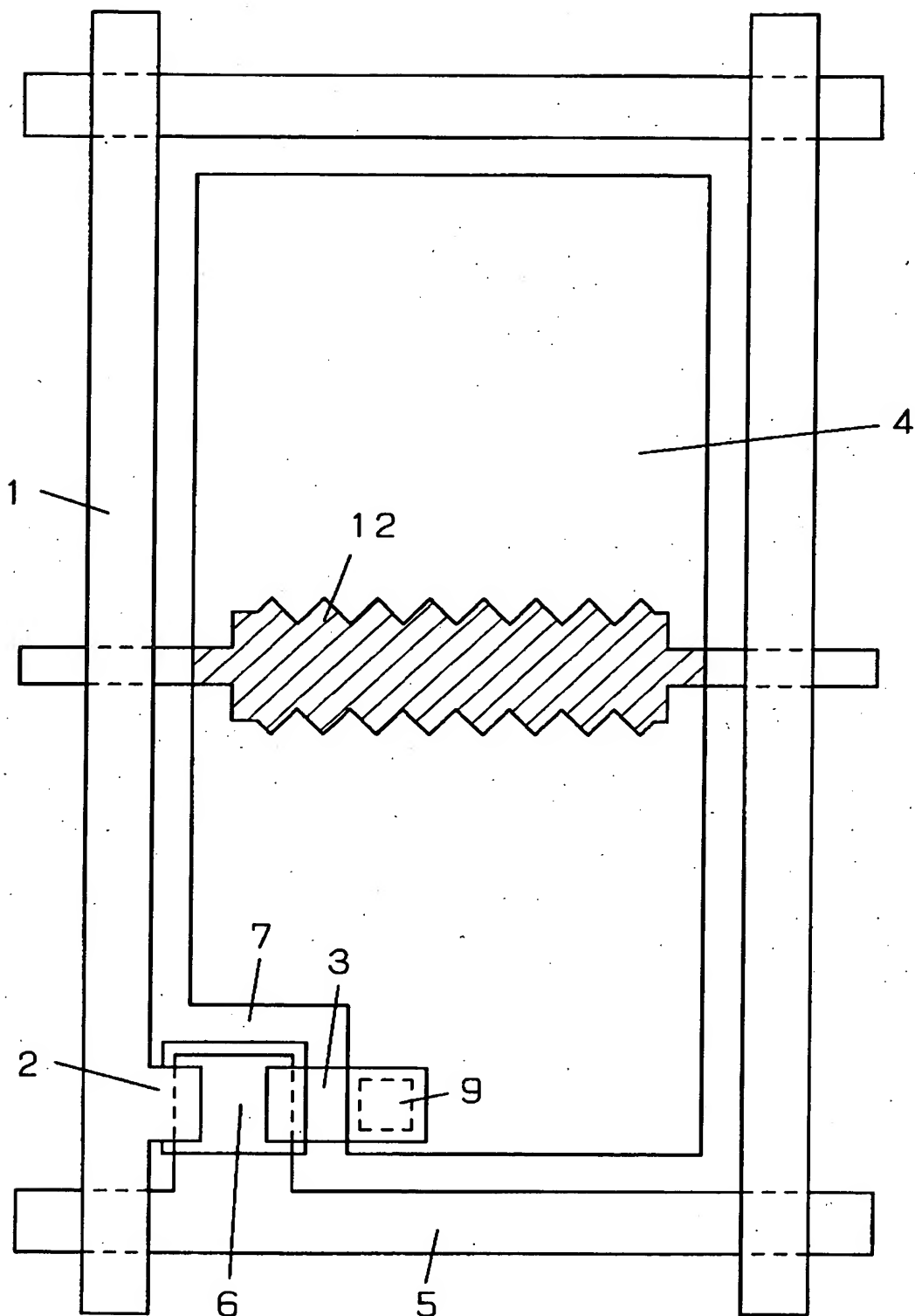
(a) 上面図



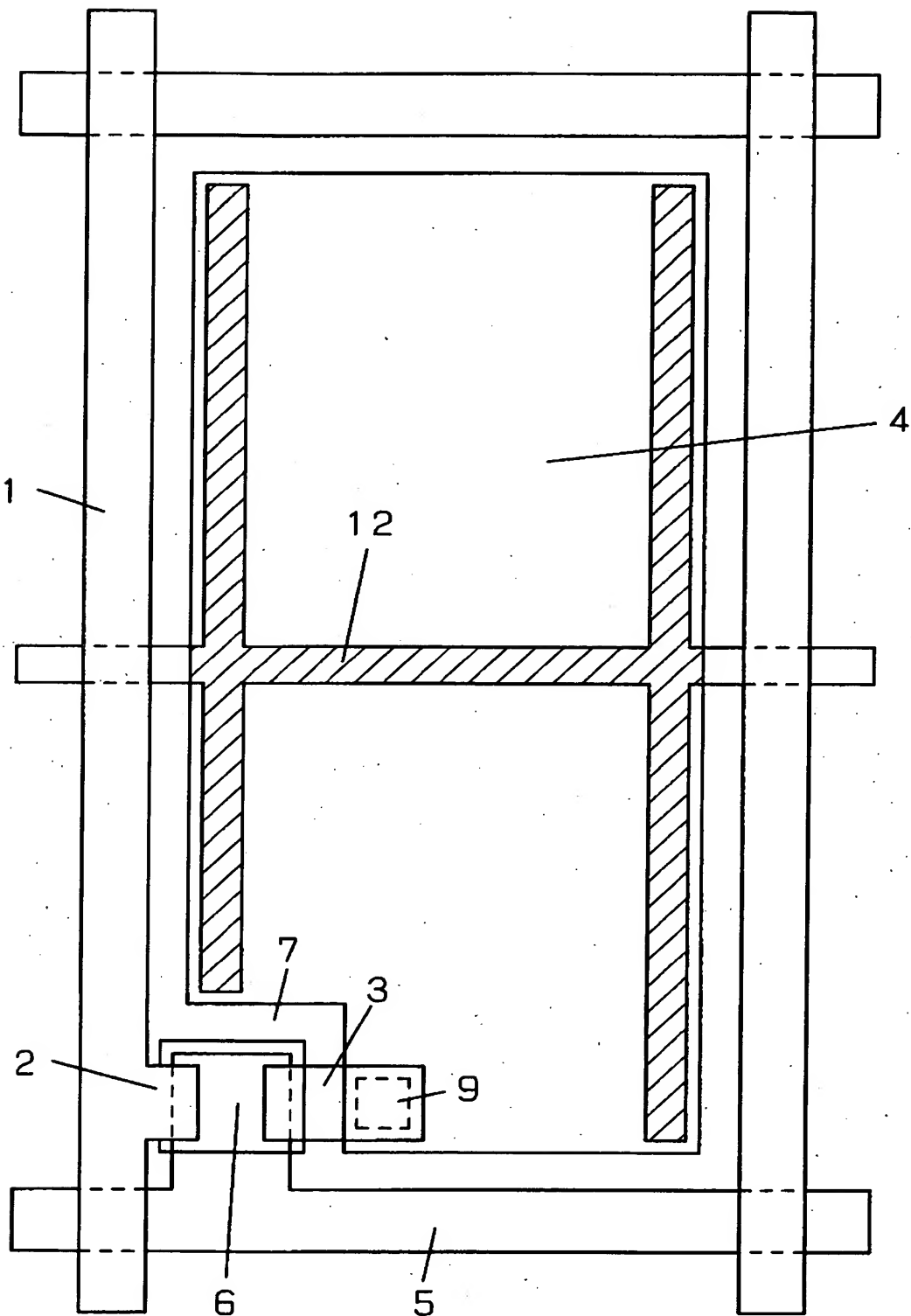
(b) A-A' 矢視図



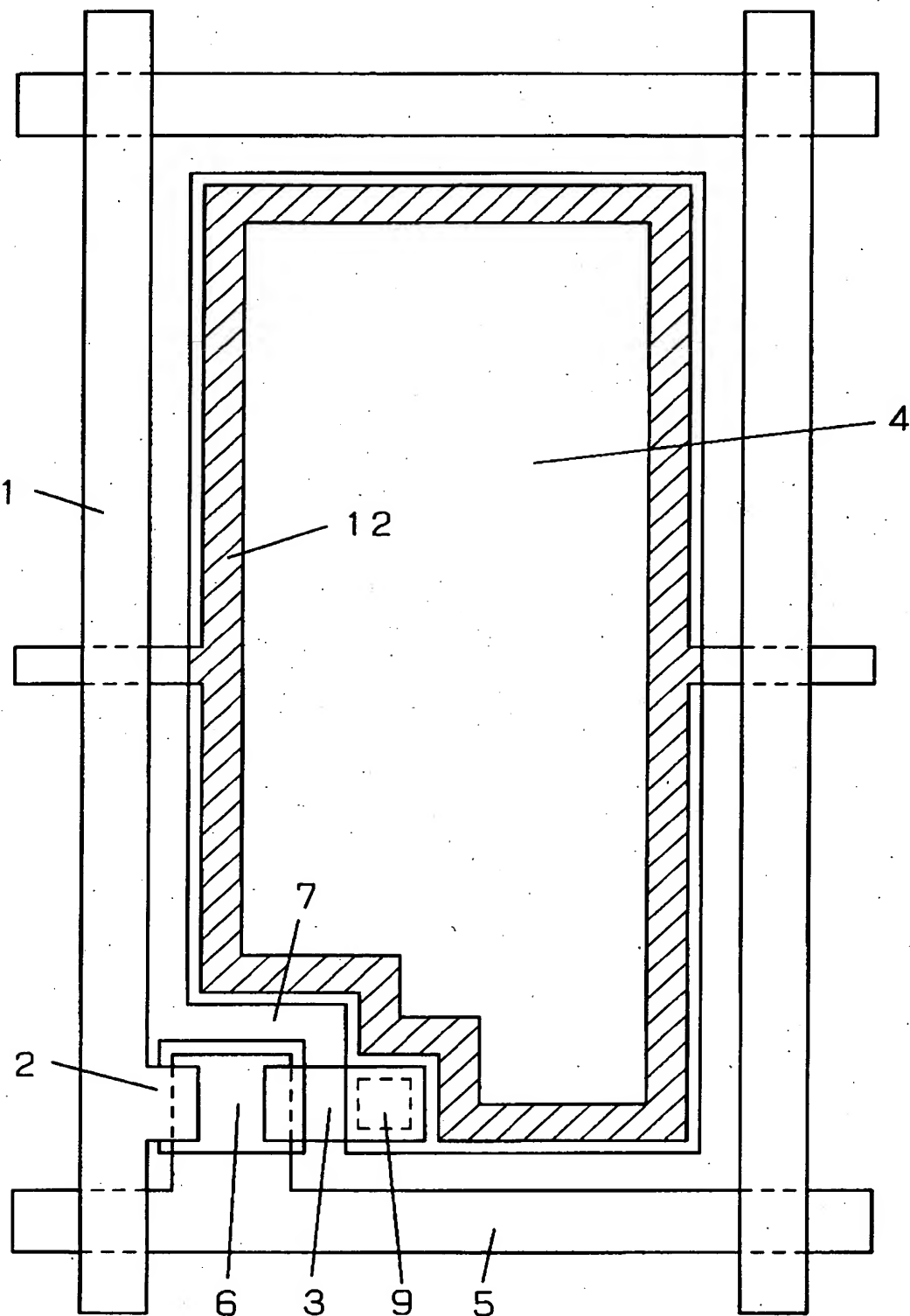
【図 5】



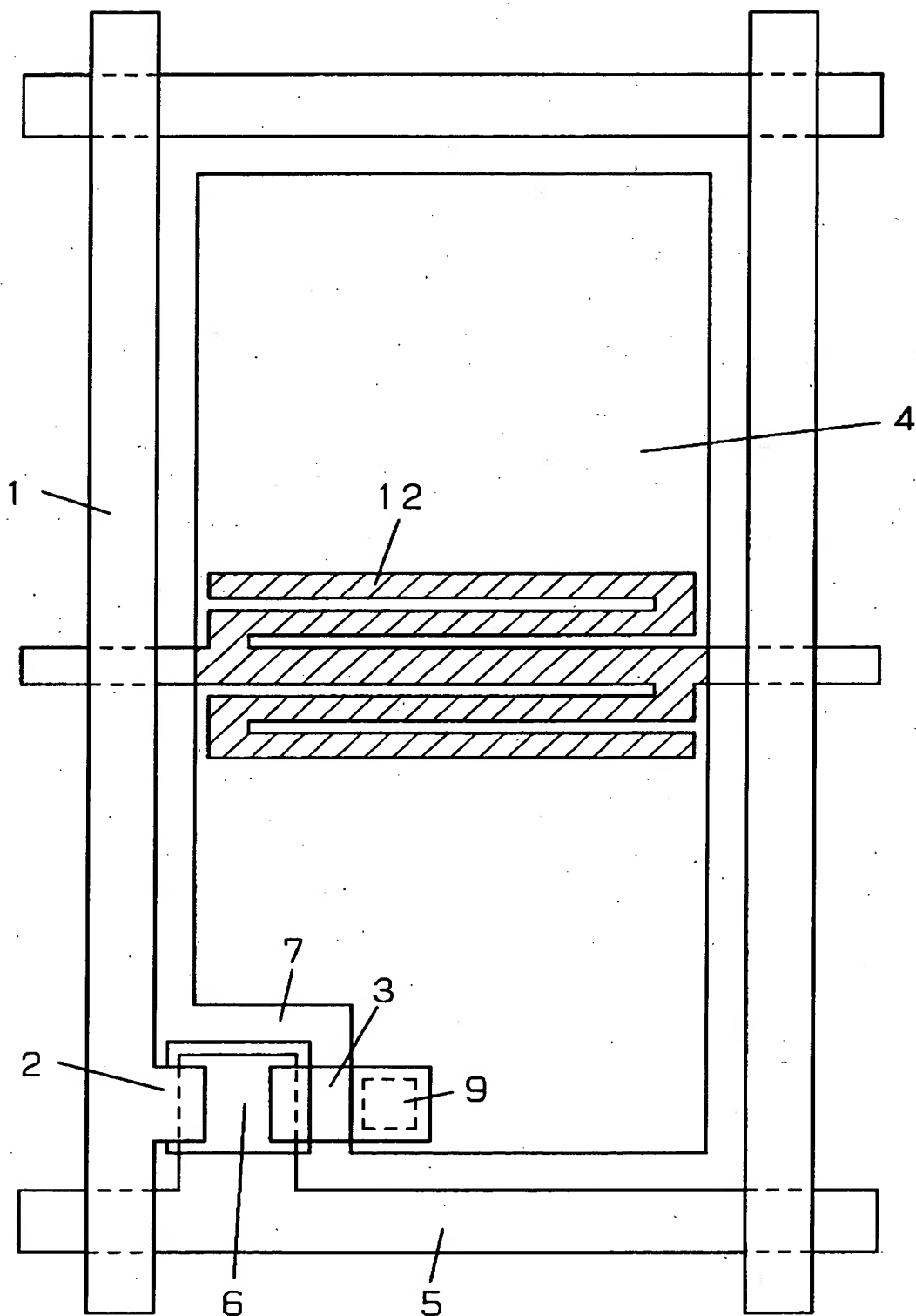
【図6】



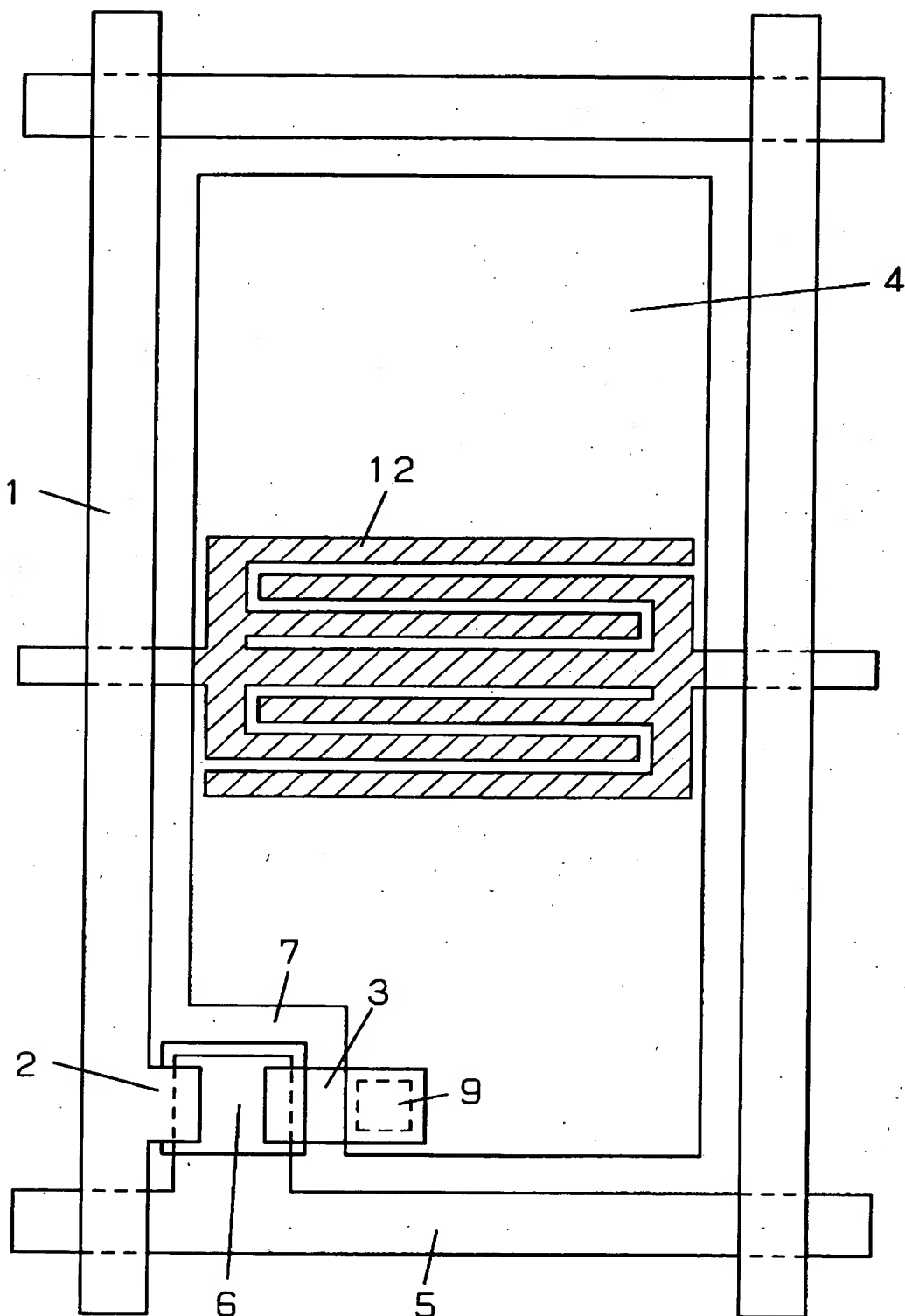
【図 7】



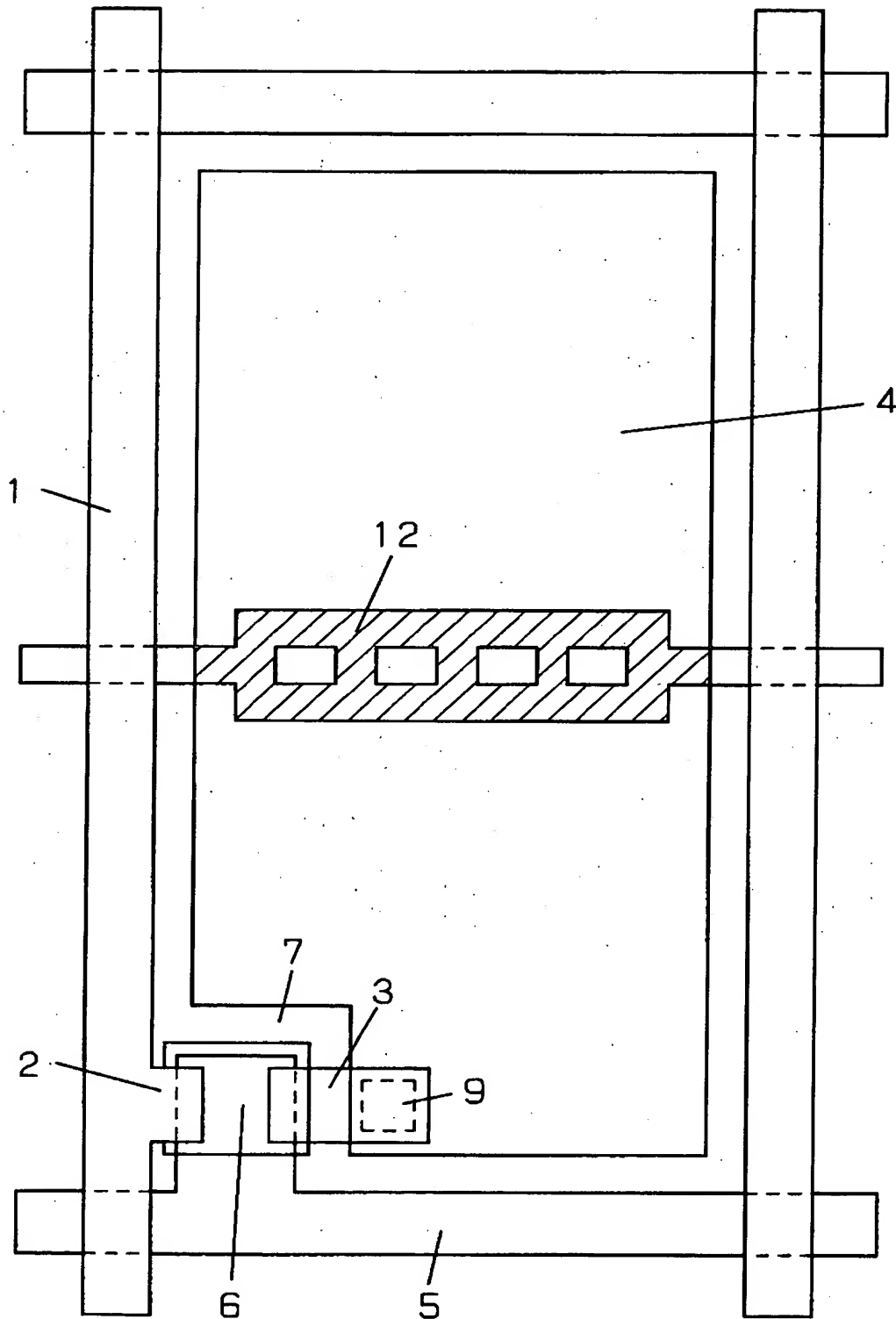
【図 8】



【図 9】

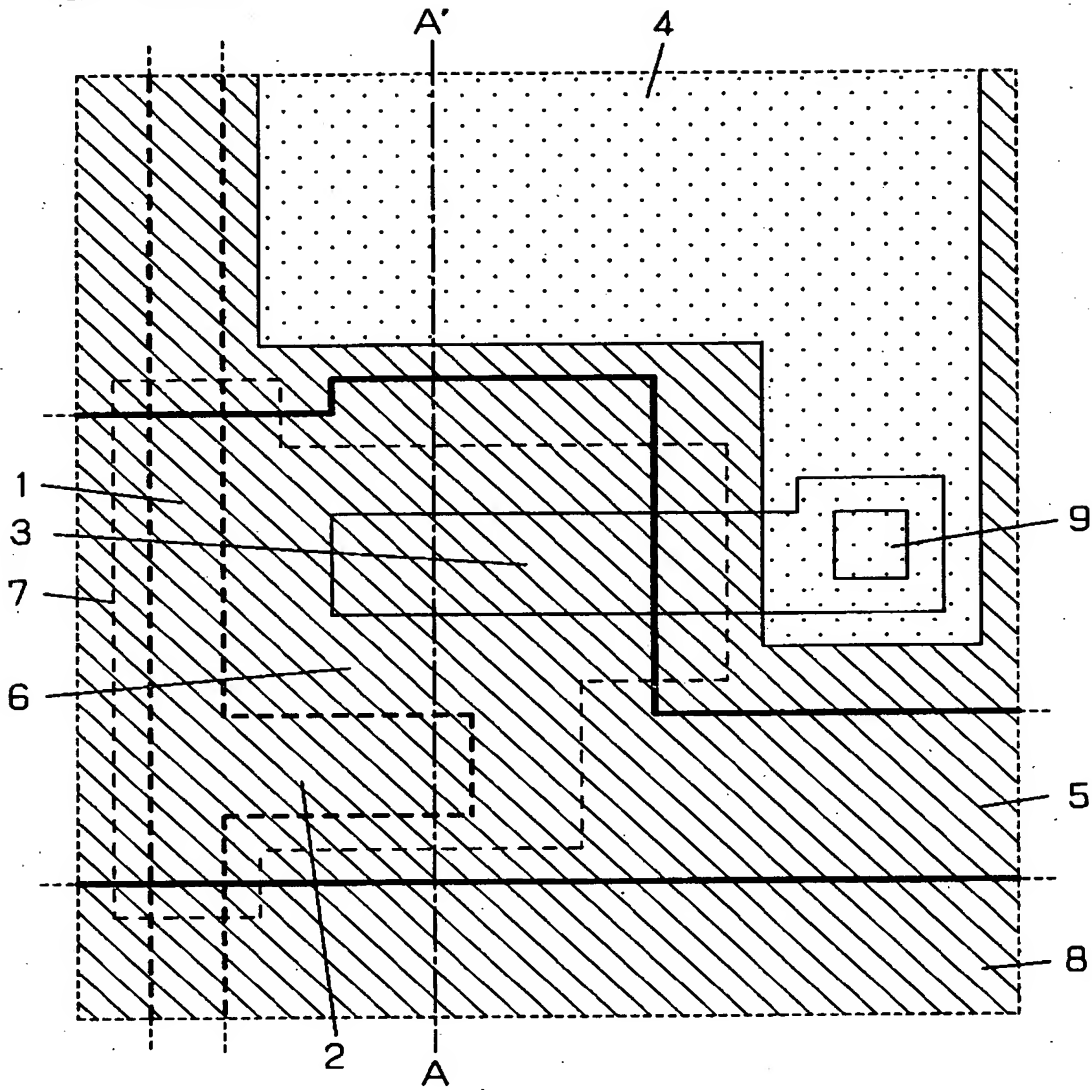


【図10】

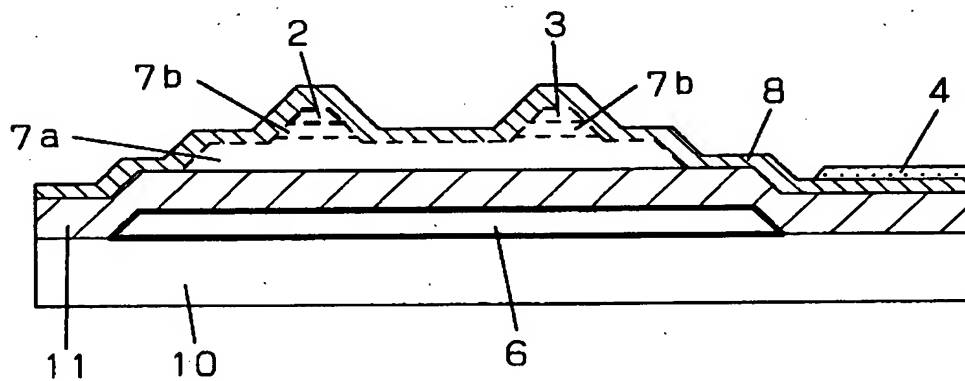


【図11】

(a) 上面図

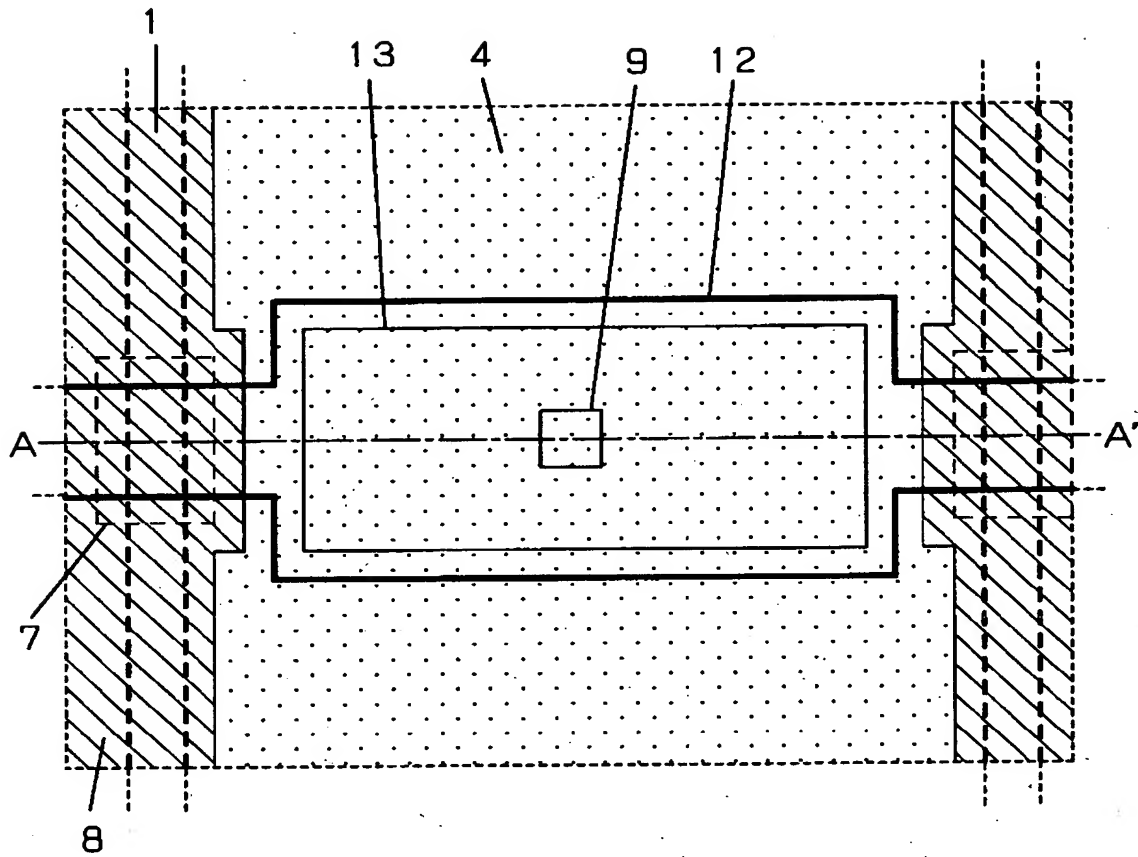


(b) A-A' 矢視図

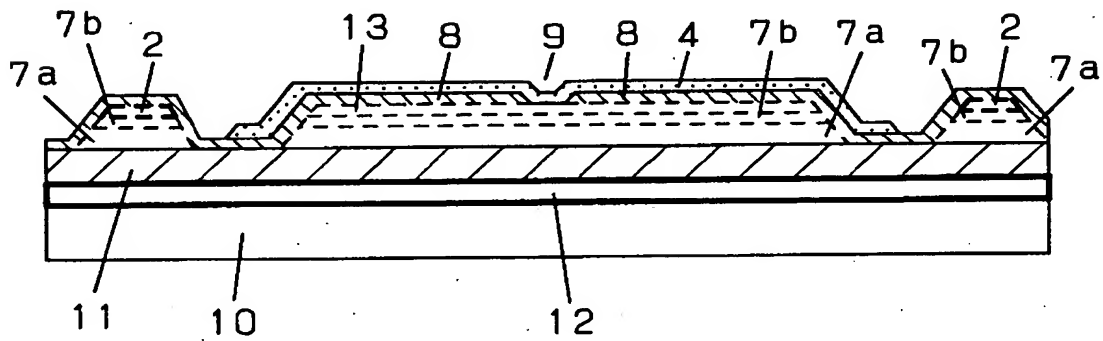


【図 12】

(a) 上面図

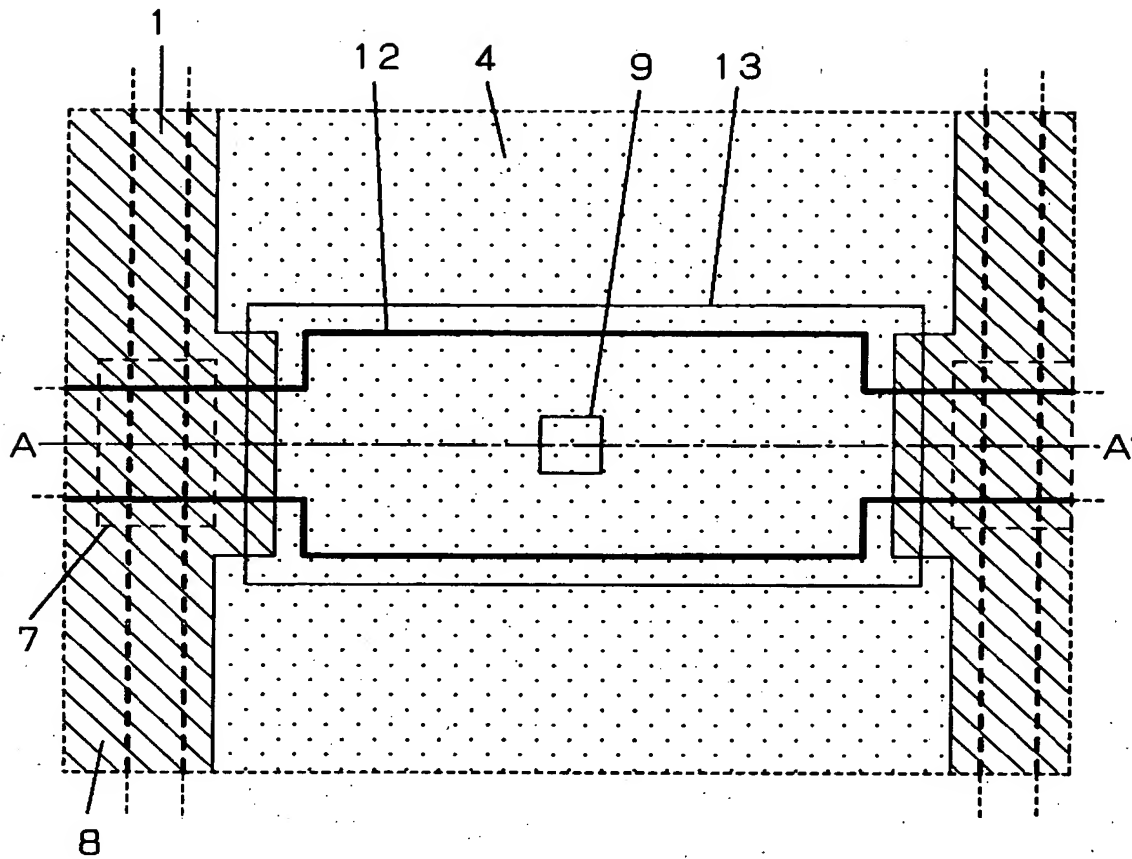


(b) A-A' 矢視図

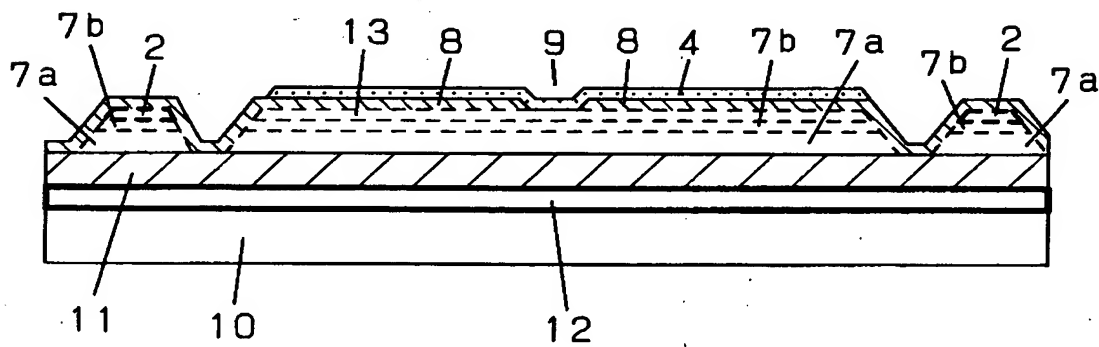


【図14】

(a) 上面図

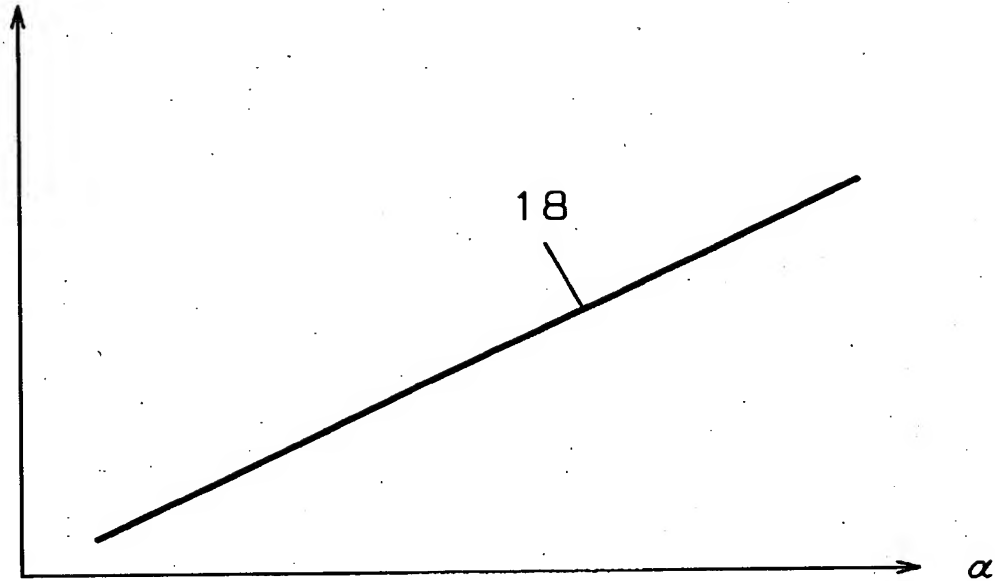


(b) A-A' 矢視図



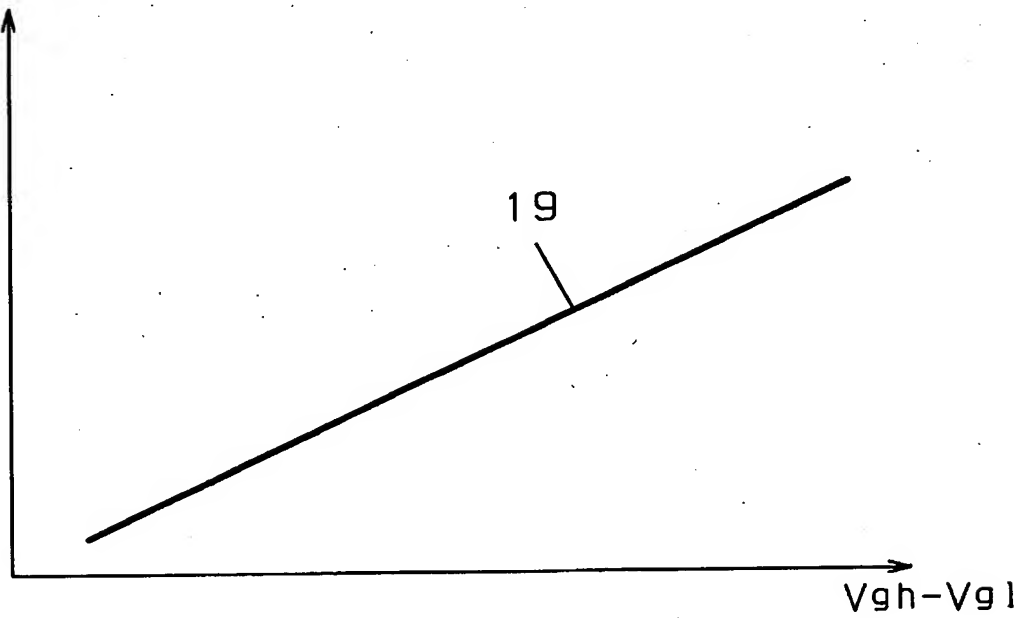
【図 15】

突き抜け電圧



【図 16】

突き抜け電圧



【書類名】 要約書

【要約】

【課題】 大型、高精細の液晶表示素子に対しても、フリッカレベルの小さい、すなわち高画質品位を保持した液晶表示素子を実現する。

【解決手段】 突き抜け電圧が画像表示面内で一定になるように、蓄積容量値とゲート電極－画素電極間容量値との比に応じて、蓄積容量を構成するパターンの外周の長さと、ゲート電極－画素電極間容量を構成するパターンの外周の長さとの比を設定する。

【選択図】 図4

出 願 人 履 歷 情 報

識別番号

[000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社